

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235616

(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

H01L 21/8249
H01L 27/06
H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/088
H01L 27/10

(21)Application number : 06-307466

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.12.1994

(72)Inventor : SHIMOMURA HIROSHI
YASUHIRA MITSUO
SEGAWA MIZUKI
HIRAI TAKEHIRO

(30)Priority

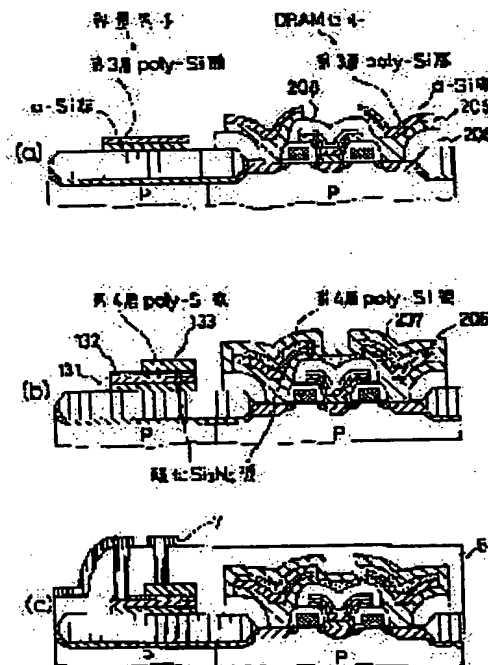
Priority number : 05337725 Priority date : 28.12.1993 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To miniaturize a semiconductor device having a number of built-in circuits, to bring the device into a high functional state, to bring it into a low power consuming state and also to simplify its manufacturing process.

CONSTITUTION: A plurality of circuits having different functions such as a resistance element, an analog circuit containing a resistance element, a capacitor element and the like, for example, and a DRAM are formed on the same silicon substrate, and the main part of the above-mentioned circuits is constituted by a common layer which is formed simultaneously. For example, the capacitor lower part electrode 131 of the capacitor element and the storage node 205 of a DRAM cell are constituted by the two layer films of the third layer polysilicon film and an amorphous silicon film, and these two layers are deposited simultaneously. Also, the capacitor insulating films 132 and 206 of each part are constituted by the silicon nitride film which is simultaneously deposited, and the polysilicon film which is deposited simultaneously with a capacitor upper electrode 133 and a plate electrode 207. Especially, by conforming the manufacturing process of other circuit to the manufacturing process of the DRAM, all processes can be performed smoothly.



THIS PAGE BLANK (USPTO)
THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235616

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8249

27/06

27/04

9170-4M

H 0 1 L 27/06

3 2 1 J

27/04

Z

審査請求 有 請求項の数 7 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平6-307466

(22) 出願日 平成6年(1994)12月12日

(31) 優先権主張番号 特願平5-337725

(32) 優先日 平5(1993)12月28日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 下村 浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 安平 光雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 瀬川 瑞樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

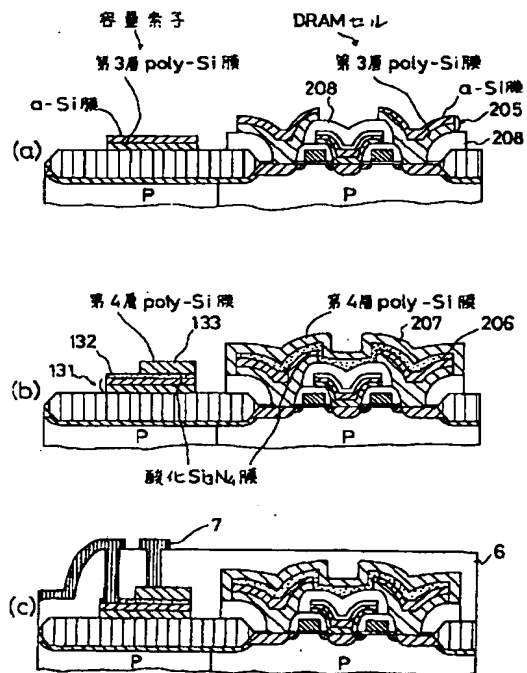
最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【目的】 多数の回路を内蔵した半導体装置を小型化、高機能化、低消費電力化し、かつその製造工程を簡略化する。

【構成】 相異なる機能を有する複数の回路、例えば抵抗素子、容量素子等を含むアナログ回路と、DRAMとを同一のシリコン基板1上に形成し、この複数の回路の主要部を同時に形成された共通層で構成する。例えば、容量素子の容量下部電極131と、DRAMセルのストレージノード205とを、第3層ポリシリコン膜とアモルファスシリコン膜との2層膜で構成し、この2層膜を同時に堆積する。また、各部の容量絶縁膜132、206を同時に堆積されたシリコン窒化膜で、容量上部電極133、プレート電極207を同時に堆積されたポリシリコン膜でそれぞれ構成する。特に、DRAMの製造プロセスに他の回路の製造プロセスを適合させることで、工程が円滑に行われる。



1

【特許請求の範囲】

【請求項1】 半導体基板上に形成された、DRAMのゲート電極、プレート電極又はストレージ電極よりなる第1の導電層と、

前記半導体基板上に形成された、MOSトランジスタのゲート電極、バイポーラトランジスタのエミッタ電極、PROMのゲート電極、DRAMの周辺回路以外の回路に設けられた容量の下部電極若しくは上部電極、抵抗又はインダクタよりなる第2の導電層とを備えており、前記第1の導電層と前記第2の導電層とは同一工程により形成されていることを特徴とする半導体装置。

【請求項2】 前記第2の導電層は、DRAMの周辺回路以外の回路に設けられた一の容量の下部電極であり、前記半導体基板上に形成され、DRAMの周辺回路以外の回路に設けられた他の容量の上部電極をさらに備え、前記一の容量の下部電極と前記他の容量の上部電極とは共通の導電層よりなることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第2の導電層はDRAMの周辺回路以外の回路に設けられた容量の下部電極であり、前記容量の下部電極は、互いに分離して設けられた第1の下部電極と第2の下部電極とからなり、前記容量の上部電極は、互いに分離して設けられた第1の上部電極と第2の上部電極とからなり、前記第1の下部電極と前記第2の上部電極とは電気的に接続されていると共に前記第2の下部電極と前記第1の上部電極とは電気的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第2の導電層はDRAMの周辺回路以外の回路に設けられた容量の上部電極であり、前記容量の上部電極は、互いに分離して設けられた第1の上部電極と第2の上部電極とからなり、前記容量の下部電極は、互いに分離して設けられた第1の下部電極と第2の下部電極とからなり、前記第1の上部電極と前記第2の下部電極とは電気的に接続されていると共に前記第2の上部電極と前記第1の下部電極とは電気的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 半導体基板上に形成された、異なる電源系を持つ、LSIの入出力インターフェイス回路を構成するトランジスタの第1のゲート絶縁膜と、前記半導体基板上に形成された、DRAMのゲート絶縁膜よりも厚い膜厚を有する、前記DRAMの周辺回路を構成するトランジスタの第2のゲート絶縁膜とを備えており、前記第1のゲート絶縁膜と前記第2のゲート絶縁膜とは同一工程により形成されていることを特徴とする半導体装置。

【請求項6】 ビット線、ゲート電極、プレート電極及びストレージ電極よりなる n 個 (n は3以上の整数) の

2

導電層を有するDRAMと、下部電極、容量絶縁膜及び上部電極を有する容量とを備えた半導体装置の製造方法であって、

前記 n 個の導電層のうちの下から第 $(n-1)$ 番目の導電層を形成すると同時に前記下部電極を形成する第1の工程と、

前記第 $(n-1)$ 番目の導電層の上に絶縁膜を形成すると同時に前記下部電極の上に前記容量絶縁膜を形成する第2の工程と、

10 前記絶縁膜の上に前記 n 個の導電層のうちの下から第 n 番目の導電層を形成すると同時に前記容量絶縁膜の上に前記上部電極を形成する第3の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項7】 抵抗又はインダクタと、ビット線、ゲート電極、プレート電極及びストレージ電極よりなる n 個 (n は3以上の整数) の導電層を有するDRAMとを備えた半導体装置の製造方法であって、

前記抵抗又はインダクタを形成すると同時に、前記 n 個の導電層のうちの下から第 $(n-1)$ 番目又は第 n 番目の導電層を形成する工程を備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マルチメディア機器や携帯機器などのシステム全体の機能を1チップ化するいわゆるシステム・オン・シリコンを実現させるための半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来より、半導体技術、コンピュータ技術、映像技術、通信技術の高度な融合であるマルチメディア機器や携帯機器などのシステムは、各々異なる機能を有する複数の回路から構成される。例えば、図9に示すように、DRAM、MPU、I/O回路、A/D変換回路、D/A変換回路、SCF (スイッチト・キャパシタ・フィルタ) 回路、MASK-ROM、f-EEPROM、High Voltage回路等である。そして、これらの回路は、例えばデジタル回路 (CMOS・バイポーラトランジスタ)、アナログ回路 (バイポーラトランジスタ)、メモリーなどそれぞれについて個別に製造プロセスが構築されており、一つの回路を製造するプロセスごとに少なくとも1チップが必要であった。

【0003】

【発明が解決しようとする課題】 ところで、マルチメディア機器や携帯機器などの小型化、高機能化、低消費電力化をめざし、これらを構成する半導体素子等の微細化が進むに従ってデジタル回路とアナログ回路、論理回路とメモリーを混載してシステムそのものを1チップ化するシステム・オン・シリコンの実現への要求が高まっているが、これらのLSI製造プロセスははじめから開発するとなると、最適化するための開発工数が増え、大

大きくコストがかかるという問題がある。

【0004】また、回路の種類によっては、微細化が困難な回路がある。図10はこれらのLSIの世代ごとのアナログ/デジタル部の占める面積を概念的に示したものである。アナログ回路部は微細加工技術のトレンドには乗りにくく、世代が進めばますますチップ全体に対する割合が増えていく。

【0005】このように、アナログ回路部が微細化のトレンドに乗りにくい理由として、次の点があげられる。

【0006】(1) アナログ回路用MISトランジスタの線形性の悪化

集積度を向上させるには、バイポーラトランジスタよりも電界効果型MOSトランジスタを多用することが好ましい。このMOSトランジスタの線形性はパラメータ λ であらわされるが、この線形性を維持すべく、アナログ回路では λ がある値を越えないように最小ゲートよりも長いゲート長のトランジスタを使用している。トランジスタの微細化に伴いゲート長が小さくなると、ドレイン飽和電流が増えて、相互コンダクタンス(gm)が大きくなるが、ドレイン空乏層がチャネルに影響を与え、ドレイン電圧を増加させるとドレイン飽和電流値が増加し、線形性が悪化する。

【0007】(2) 容量素子の容量特性の悪化

容量絶縁膜の占有面積を低減しながら、必要な容量を維持しようとする、容量絶縁膜を薄膜化していく必要がある。例えばDRAMのキャパシタをアナログ回路の容量として使用する場合、容量絶縁膜を薄膜化すると、少しの厚みの変化や表面の凹凸が容量の変化となって現れるので、精度(絶対精度・比精度)が悪化し、特に容量値の印加電圧依存性が大きくなってSCF(スイッチト・キャパシタ・フィルタ)のようなアナログ回路に使用できなくなる。

【0008】本発明は斯かる点に鑑みてなされたものであり、その第1の目的は、機能の異なる複数の回路を共通の半導体基板上に搭載して、小型化、高機能化及び低消費電力化を図った半導体装置を簡略化された工程により得られるようにすることを目的とする。

【0009】

【課題を解決するための手段】前記の目的を達成するため、請求項1の発明が講じた解決手段は、半導体装置を、半導体基板上に形成された、DRAMのゲート電極、プレート電極又はストレージ電極よりなる第1の導電層と、前記半導体基板上に形成された、MOSトランジスタのゲート電極、バイポーラトランジスタのエミッタ電極、PROMのゲート電極、DRAMの周辺回路以外の回路に設けられた容量の下部電極若しくは上部電極、抵抗又はインダクタよりなる第2の導電層とを備えており、前記第1の導電層と前記第2の導電層とは同一工程により形成されている構成とするものである。

【0010】請求項2の発明は、請求項1の構成に、前

記第2の導電層は、DRAMの周辺回路以外の回路に設けられた一の容量の下部電極であり、前記半導体基板上に形成され、DRAMの周辺回路以外の回路に設けられた他の容量の上部電極をさらに備え、前記一の容量の下部電極と前記他の容量の上部電極とは共通の導電層よりなるという構成を付加するものである。

【0011】請求項3の発明は、請求項1の構成に、前記第2の導電層はDRAMの周辺回路以外の回路に設けられた容量の下部電極であり、前記容量の下部電極は、互いに分離して設けられた第1の下部電極と第2の下部電極とからなり、前記容量の上部電極は、互いに分離して設けられた第1の上部電極と第2の上部電極とからなり、前記第1の下部電極と前記第2の上部電極とは電気的に接続されていると共に前記第2の下部電極と前記第1の上部電極とは電気的に接続されているという構成を付加するものである。

【0012】請求項4の発明は、請求項1の構成に、前記第2の導電層はDRAMの周辺回路以外の回路に設けられた容量の上部電極であり、前記容量の上部電極は、互いに分離して設けられた第1の上部電極と第2の上部電極とからなり、前記容量の下部電極は、互いに分離して設けられた第1の下部電極と第2の下部電極とからなり、前記第1の上部電極と前記第2の下部電極とは電気的に接続されていると共に前記第2の上部電極と前記第1の下部電極とは電気的に接続されているという構成を付加するものである。

【0013】請求項5の発明が講じた解決手段は、半導体装置を、半導体基板上に形成された、異なる電源系を持つ、LSIの入出力インターフェイス回路を構成するトランジスタの第1のゲート絶縁膜と、前記半導体基板上に形成された、DRAMのゲート絶縁膜よりも厚い膜厚を有する、前記DRAMの周辺回路を構成するトランジスタの第2のゲート絶縁膜とを備えており、前記第1のゲート絶縁膜と前記第2のゲート絶縁膜とは同一工程により形成されているという構成を付加するものである。

【0014】請求項6の発明が講じた解決手段は、ビット線、ゲート電極、プレート電極及びストレージ電極よりなる n 個(n は3以上の整数)の導電層を有するDRAMと、下部電極、容量絶縁膜及び上部電極を有する容量とを備えた半導体装置の製造方法を対象とし、前記 n 個の導電層のうちの下から第 $(n-1)$ 番目の導電層を形成すると同時に前記下部電極を形成する第1の工程と、前記第 $(n-1)$ 番目の導電層の上に絶縁膜を形成すると同時に前記下部電極の上に前記容量絶縁膜を形成する第2の工程と、前記絶縁膜の上に前記 n 個の導電層のうちの下から第 n 番目の導電層を形成すると同時に前記容量絶縁膜の上に前記上部電極を形成する第3の工程とを備えている構成とするものである。

【0015】請求項7の発明が講じた解決手段は、抵抗

5

又はインダクタと、ビット線、ゲート電極、プレート電極及びストレージ電極よりなる n 個(n は3以上の整数)の導電層を有するDRAMとを備えた半導体装置の製造方法を対象とし、前記抵抗又はインダクタを形成すると同時に、前記 n 個の導電層のうちの下から第($n-1$)番目又は第 n 番目の導電層を形成する工程を備えている構成とするものである。

【0016】

【作用】請求項1の構成により、DRAMのゲート電極、プレート電極又はストレージ電極よりなる第1の導電層と、前記半導体基板上に形成された、MOSトランジスタのゲート電極、バイポーラトランジスタのエミッタ電極、PROMのゲート電極、DRAMの周辺回路以外の回路に設けられた容量の下部電極若しくは上部電極、抵抗又はインダクタよりなる第2の導電層とは同一の工程により形成されている。

【0017】請求項2の構成により、DRAMの周辺回路以外の回路に設けられた一の容量の下部電極と、DRAMの周辺回路以外の回路に設けられた他の容量の上部電極は共通の導電層よりなるため、一の容量の下部電極及び他の容量の上部電極に接続する配線の数を低減できる。

【0018】請求項3又は4の構成により、容量の下部電極は互いに分離して設けられた第1の下部電極と第2の下部電極とからなり、容量の上部電極は互いに分離して設けられた第1の上部電極と第2の上部電極とからなり、第1の下部電極と第2の上部電極とは電気的に接続されていると共に第2の下部電極と第1の上部電極とは電気的に接続されているため、容量の極性が互いに逆にして並列に接続されている。

【0019】請求項5の構成により、異なる電源系を持つLSIの入出力インターフェイス回路を構成するトランジスタのゲート絶縁膜と、DRAMの周辺回路を構成するトランジスタのゲート絶縁膜とは同一の工程により形成される。

【0020】請求項6の構成により、容量の下部電極をDRAMの最上層よりも1つ下の導電層と同時に形成すると共に、容量の上部電極をDRAMの最上層の導電層と同時に形成するため、容量の下部及び上部の電極に対する熱処理の回数が少なくなる。

【0021】請求項7の構成により、抵抗又はインダクタを、DRAMの最上層又は最上層よりも1つ下の導電層と同時に形成するため、抵抗又はインダクタに対する熱処理の回数が少なくなる。

【0022】

【実施例】以下、本発明の実施例について説明する。

【0023】(実施例1) まず、実施例1について、図1～図2に基づき説明する。

【0024】図1は、実施例1に係る半導体装置の構造を示す断面図である。図1において、1はシリコン基

6

板、2は深いNウェル、4はいずれもPウェル、5はフィールド酸化膜である。そして、上記シリコン基板1の表面付近には、アナログ回路100と、デジタル回路であるDRAMセル200とが形成されている。ここで、アナログ回路100には、抵抗素子110と、NMOSトランジスタ120と、容量素子130とが配設され、その上方には、第1層間絶縁膜6、第1配線層7、第2層間絶縁膜8、第2配線層9、第3層間絶縁膜10、第3配線層11が順次設けられている。すなわち、上記アナログ回路100は、深いNウェル2中のPウェル4内に形成され、デジタル回路であるDRAMセル200のノイズからガードされている。

【0025】上記抵抗素子110は、フィールド酸化膜5上に堆積された第3層ポリシリコン膜(以下、poly-Si膜という)及びアモルファスシリコン膜(以下、a-Si膜という)からなる抵抗体111を備え、この抵抗体111の2か所に、上記第1配線層7が第1層間絶縁膜6を貫通してコンタクトしている。すなわち、2か所のコンタクト間のa-Si膜及び第3層poly-Si膜による電気抵抗を利用して、抵抗素子110を形成している。

【0026】上記NMOSトランジスタ120は、第1層poly-Si膜からなるゲート電極121と、該ゲート電極121の側壁のサイドウォール及び上面の保護膜として機能するシリコン酸化膜122と、シリコン基板内でゲート電極121側方かつ絶縁膜6の下方となる領域に低濃度のN型不純物をドーピングしてなる低濃度ソース、ドレイン領域125と、さらにその外方に高濃度のN型不純物をドーピングしてなる高濃度ソース、ドレイン領域126とを備えている。そして、この高濃度ソース、ドレイン領域126に、上記第1配線層7が第1層間絶縁膜6を貫通してコンタクトしている。すなわち、ゲート電極121へのバイアスによってソース、ドレイン間のNチャネルに流れる電流を制御するようにしている。その際、第1層poly-Si膜の導電特性を利用して、ゲート電極121を形成している。特に、この構造では、高濃度ソース、ドレイン領域126がゲート電極121側壁に残置されたサイドウォール端より離して形成され、いわゆるLDD構造となっているので、gmを大きく劣化させることなく、ドレイン空乏層がチャネルに影響を与えないようなトランジスタ構造となっている。

【0027】上記容量素子130は、フィールド酸化膜5上に堆積された第3層poly-Si膜及びその上のa-Si膜からなる容量下部電極131と、容量下部電極131上に堆積された酸化されたシリコン窒化膜(以下、酸化Si3N4膜という)からなる容量絶縁膜132と、該容量絶縁膜132上の容量上部電極133とを備えている。すなわち、容量下部電極131と容量上部電極133との間に挟まれる容量絶縁膜132の誘電特性を利用して、容量素子130を構成するとともに、a-Si

7

膜及び第3層poly-Si膜の導電特性を利用して容量下部電極131を形成している。

【0028】次に、上記DRAMセル200は、第1層poly-Si膜からなり、ワードラインを構成する2つのゲート電極201と、該ゲート電極201の側部及び上面を被覆するシリコン酸化膜202と、第2層poly-Si膜及びその上のWSi膜からなるいわゆるポリサイド構造を有するビットライン203と、その上の保護膜204と、第3層poly-Si膜及びその上に堆積されたa-Si膜からなるストレージノード205と、その上に堆積された酸化Si₃N₄膜からなる容量絶縁膜206と、該容量絶縁膜206の上に堆積された第4層poly-Si膜からなるプレート電極207と、シリコン酸化膜208とを備えている。また、シリコン基板1内には、2つのゲート電極210のサイドウォールの下方向となる領域に形成された低濃度ソース、ドレイン領域209（図中の4か所）と、さらにその外方の高濃度ソース、ドレイン領域210（図中の3か所）とが形成されており、この3か所の高濃度ソース、ドレイン領域210のうち両端側に、上記ストレージノード205がコンタクトし、中央の高濃度ソース、ドレイン領域210にビットライン203がコンタクトしている。

【0029】次に、上記半導体装置の製造方法について、図2(a)、(b)及び図3(a)～(c)に基づき説明する。ただし、図2(a)、(b)及び図3

(a)～(c)では、図中右側はDRAMセル200の断面状態を、図中左側はアナログ回路100の容量素子130の断面状態をそれぞれ示し、アナログ回路100の抵抗素子110及びNMOSTランジスタ120の断面状態の図示は省略している。

【0030】まず、図2(a)に示すように、シリコン基板1に、容量素子130側では深いNウェル2とその上のPウェル4とを形成し、DRAMセル200側ではPウェル4を形成し、その上にフィールド酸化膜5を堆積する。その後、第1層poly-Si膜を堆積してから、DRAMセル200のゲート電極201を形成する。この状態で、低濃度不純物を導入して、低濃度ソース、ドレイン領域209を形成してから、ゲート電極201を被覆するシリコン酸化膜202を堆積する。そして、このシリコン酸化膜202のサイドウォール部をマスクとして、高濃度不純物（ここではヒ素）をドーピングし、高濃度ソース、ドレイン領域210を形成する。

【0031】次に、図2(b)に示すように、第2層poly-Si膜とWSi膜とを順次堆積し、いわゆるポリサイド構造のビットライン203を形成する。そして、その上にシリコン酸化膜からなる保護膜204を形成する。

【0032】次に、図3(a)に示すように、DRAMセル200のゲート電極201、ビットライン203、フィールド酸化膜等を覆うシリコン酸化膜208を形成

8

した後、その上からシリコン酸化膜208を貫通して高濃度ソース、ドレインにコンタクトする第3層poly-Si膜を堆積し、さらにその上にa-Si膜を堆積して、2層膜からなるストレージノード205を形成する。同時に、容量素子130側でも、第3層poly-Si膜とa-Si膜とを順次堆積し、2層膜からなる容量下部電極を形成する。なお、上記第3層poly-Si膜には、リンがドーピングされている。

【0033】次に、図3(b)に示すように、DRAMセル200及び容量素子130の双方において、上記a-Si膜の上にSi₃N₄膜を同時に堆積し、これを酸化する。すなわち、各部の容量絶縁膜132、206を形成する。そして、その上から第4層poly-Si膜を両領域で同時に堆積した後パターニングして、容量素子130では容量上部電極133を、DRAMセル200ではプレート電極207をそれぞれ形成する。

【0034】さらに、図3(c)に示すように、基板全体にBPSG膜を堆積して、第1層間絶縁膜6を形成する。そして、この上から、容量素子130の容量下部電極131及び容量上部電極にそれぞれコンタクトするコンタクト孔を形成し、この上から、Al/TiN合金を堆積して、第1配線層7を形成する。その後の工程は省略するが、第2層間絶縁膜8、第2配線層9、第3層間絶縁膜10及び第3配線層11を順次形成する。

【0035】なお、上記図2及び図3では省略したが、アナログ回路100の抵抗素子110の抵抗体111は、DRAMセル200のストレージノード205と同時に堆積された第3層poly-Si膜及びa-Si膜からなり、NMOSTランジスタ120のゲート電極121はDRAMセル200のゲート電極201と同時に堆積された第1層poly-Si膜からなる。

【0036】したがって、上記実施例では、一つのシリコン基板1上に、異なる機能を有する複数の回路であるアナログ回路100とDRAMセル200とが搭載され、各回路の主要部が同じ工程で形成された少なくとも一つの層で構成されている。したがって、1チップ化による占有面積の低減と、接続信号線の短縮による動作速度の高速化等の機能の向上と、低消費電力とが図られるとともに、工程の簡略化による製造コストの低減を図ることができる。

【0037】特に、抵抗素子110の抵抗体111や、容量素子130の電極（容量下部電極131）と、DRAMセル200のストレージノード205とを同時に堆積されたシリコン膜（上記実施例1では、第3層poly-Si膜及びa-Si膜の2層膜）で構成することで、工程の簡略化の効果が大きい。なお、上記実施例1では開示していないが、インダクタンス素子のインダクタをも上述のようなシリコン膜（例えば、第3層poly-Si膜及びa-Si膜の2層膜）で構成することができることは明らかである。

【0038】また、上記実施例1では、DRAMセル200のストレージノードと、抵抗素子110の抵抗体111や、容量素子130の容量下部電極131とを同時に堆積されたシリコン膜で構成したが、例えばDRAMセル200のゲート電極201（ワードライン）を構成する第1層poly-Si膜や、ビットライン203を構成する第2層poly-Si膜（あるいは第2層poly-Si膜及びWSi膜の2層膜）を堆積する際に、上記抵抗体111や容量下部電極131を構成するpoly-Si膜を堆積し、単層膜又は2層膜からなる抵抗体等を形成することもできる。

【0039】特に、上記実施例1では、ストレージノード205等を2層膜としたが、例えばpoly-Si膜のみからなる単層膜や、3層膜以上の多層膜としてもよいことはいうまでもない。特に、上記実施例1のごとく、アナログ回路100の容量素子130の下部容量電極131の表面部をa-Si膜つまり非晶質の半導体膜で構成することで、平滑な界面が得られ、この半導体膜を酸化して得られる容量絶縁膜のリーク特性や、耐圧性、容量値の印加電圧依存性等を改善することができる。また、抵抗素子110の抵抗体111の表面をa-Si膜で構成することで、極めて高精度の抵抗体とすることができる。

【0040】さらに、上記実施例1のように、アナログ回路100のNMOSTランジスタ120をLDD構造とすることで、gmを大きく劣化させることなく、ドレイン空乏層がチャネルに影響を与えないような微細化に適したアナログ回路用MOSTランジスタを構成することが可能となった。

【0041】（実施例2）次に、実施例2に係る半導体装置について説明する。

【0042】図4は、実施例2に係る半導体装置の断面形状を示す。本実施例では、半導体基板1上に、EEPROMセル140と、DRAM周辺回路（又はデジタル論理回路）のNMOSTランジスタ220及びPMOSTランジスタ230とが搭載されている。なお、深いNウェル2とPウェル4の他に、Nウェル3が形成されており、このNウェル3の上に上記DRAM周辺回路のPMOSTランジスタ230が形成されている。なお、フィールド酸化膜5、層間絶縁膜6、8、10及び配線7、9、11等は、上記実施例1と同様の構成であるので、同一の符号を付して説明を省略する。

【0043】上記EEPROMセル300は、第2層poly-Si膜からなるコントロールゲート電極301と、第1層poly-Si膜からなるフローティングゲート電極302と、両電極の周囲を被覆するシリコン酸化膜303と、低濃度ソース、ドレイン領域305と、高濃度ソース、ドレイン領域306とを備えている。

【0044】上記DRAM周辺回路のNMOSTランジスタ220は、第1層poly-Si膜からなりワードライ

ンとして機能するゲート電極221と、その周囲を被覆するシリコン酸化膜222と、高濃度ソース、ドレイン領域224と、低濃度ソース、ドレイン領域223とを備えている。この構造自体は上記実施例1のNMOSTランジスタ120と同様である。また、上記DRAM周辺回路のPMOSTランジスタ230は、第1層poly-Si膜からなるゲート電極231と、その周囲を被覆するシリコン酸化膜232と、高濃度ソース、ドレイン領域234と、低濃度ソース、ドレイン領域233とを備えている。

【0045】すなわち、各MOSTランジスタ220、230のゲート電極221、231と、EEPROM300のフローティングゲート電極302とを、共通の第1層poly-Si膜で構成することにより、集積度の向上と、工程の簡略化とを図っている。

【0046】なお、上記実施例2では、EEPROMセル300のフローティングゲート電極302と、DRAMのワードラインとなるゲート電極221、231とを共通の材料で形成したが、本発明はかかる実施例に限定されるものではなく、DRAMのビットラインやストレージノード、プレート電極等を、EEPROMセル300のフローティングゲート電極302や、コントロールゲート電極301と共通の材料で形成してもよい。

【0047】（実施例3）次に、実施例3について説明する。

【0048】図5は、実施例3に係る半導体装置の一部である容量素子130の構造を示す。この容量素子130は、左右2つの部分に分割された構造となっており、左右2つの部分は上記実施例1における構造と同じ構造をしている。すなわち、第3層poly-Si膜及びa-Si膜との2層からなる容量下部電極131a、131bと、その上のSi3N4膜からなる容量絶縁膜132a、132bと、第4層poly-Si膜からなる容量上部電極133a、133bとを備えている。そして、上記一方の容量上部電極133aと他方の容量下部電極131bとは共通の第1端子135に、一方の容量下部電極131aと他方の容量上部電極133bとは共通の第2端子136に、それぞれ接続されている。つまり、容量電極を区画する2つの部分のうち一方の上部電極と他方の上部電極とが交互に共通の端子に接続されている。

【0049】すなわち、本実施例3では、容量素子の極性を逆にして並列に接続することにより、容量値の印加電圧依存性を相殺することが可能となる。

【0050】（実施例4）次に、実施例4について説明する。

【0051】図6は、実施例4に係る半導体装置の容量素子130の断面構造を示し、上記実施例3と類似した構造となっている。本実施例4では、容量電極は2つの部分に区画されており、一方の部分は、第1層poly-Si膜からなる容量下部電極131aと、その上に堆積さ

れ酸化されたSi₃N₄膜からなる容量絶縁膜132aと、その上に堆積された第2層poly-Si膜及びその上のa-Si膜からなる容量上部電極133aとを備えている。また、他の部分は、第2層poly-Si膜及びその上のa-Si膜からなる容量下部電極131bと、その上に堆積され酸化されたSi₃N₄膜からなる容量絶縁膜132bと、その上に堆積された第3層poly-Si膜からなる容量上部電極133bとを備えている。すなわち、容量電極全体は、個別に堆積された少なくとも3つの導電層を有し、この3つの導電層のうち1つの導電層（本実施例では、第2層poly-Si膜及びa-Si膜からなる2層膜）が、一方の容量上部電極133a及び他方の容量下部電極131bとして機能するように、2つの部分に亘って連続的に堆積されている。

【0052】本実施例4では、上記実施例3に比べて、第1端子135に接続する配線の構造がより簡素化される利点がある。尚、図6において、5はフィールド酸化膜、136は第2の端子である。

【0053】図7は、上記実施例3又は4による容量素子と従来の容量素子との電圧依存性を比較するデータであって、図中の実線は本発明による容量素子の特性を、図中の破線は従来の容量素子の特性をそれぞれ示す。同図に示されるように、本発明の容量素子では、従来の容量素子に比べて電圧係数の変動が極めて小さく、印加電圧の依存性の低減効果の著しいことがわかる。すなわち、容量絶縁膜を薄膜化することで、必要なキャパシティを維持しながら容量素子を微細化することが可能となり、上述のような占有面積の大きいアナログ回路の集積度の向上に供することができるのである。

【0054】なお、上記実施例3及び4では、容量素子130の電極のうち上部電極あるいは下部電極のいずれかをpoly-Si膜上にa-Si膜を積層した2層膜で構成したが、本発明はかかる実施例に限定されるものではない。しかし、このように電極の表面部を非晶質の半導体膜であるa-Si膜で構成することで、酸化されたSi₃N₄膜の平滑な界面が得られ、酸化Si₃N₄膜からなる容量絶縁膜のリーク特性、耐圧、容量値の印加電圧依存性が向上することになる。すなわち、良好な抵抗特性を維持しながら、抵抗素子の微細化が可能となり、アナログ回路の集積度の向上に供することができる。

【0055】さらに、上記容量素子130を厚いフィールド膜5上に形成することで、さらに印加電圧依存性を小さくする利点がある。

【0056】本発明の半導体装置において、1チップ化されて搭載される回路の種類は上記各実施例に限定されるものではない。図8は、1チップ化される回路の構成例を示し、DRAM、A/D又はD/A変換器、f-EEPROM、SCF、MASK-ROM、I/O装置、High Voltage回路等の各種回路を搭載するに際し、各回路の主要部を同時に形成された層で構成することで、

構成の簡素化及び製造工程の簡略化を図りつつ、1チップ化による全体面積の低減つまり半導体装置全体としての集積度の向上や動作の高速化等の効果を発揮することができる。

【0057】なお、上記各実施例では省略したが、インダクタンス素子やバイポーラトランジスタについても、そのインダクタや電極等の主要部を他の回路の主要部との共通層（例えば上記実施例におけるpoly-Si膜等）で構成することができることはいうまでもない。

【0058】また、実施例は省略するが、駆動電圧が3Vである3V系のDRAMを備えた半導体装置において、外部の5V系デバイスとの間に3V-5V入出力インターフェース回路が搭載されることがある。かかる場合、入出力インターフェース回路のトランジスタには、高い電圧に耐えるべく厚いゲート酸化膜が要求される。一方、3V系のDRAMの周辺回路のトランジスタには、通常は3Vの電圧が印加されるが、条件によっては4.8V程度の高いピーク的な電圧が印加されることがある。その場合、本発明を適用し、DRAMの周辺回路のトランジスタのゲート酸化膜と、入出力インターフェース回路のトランジスタのゲート酸化膜とを共通層として、厚いゲート酸化膜を形成することにより、DRAMのピーク的な高い電圧に対する耐電圧性を確保することができ、信頼性の向上を図ることができる。

【0059】

【発明の効果】請求項1の発明に係る半導体装置によると、DRAMのゲート電極、プレート電極又はストレージ電極よりなる第1の導電層と、前記半導体基板上に形成された、MOSトランジスタのゲート電極、バイポーラトランジスタのエミッタ電極、PROMのゲート電極、DRAMの周辺回路以外の回路に設けられた容量の下部電極若しくは上部電極、抵抗又はインダクタよりなる第2の導電層とは同一の工程により形成されているため、DRAMを備えた半導体装置の製造プロセスの簡略化を図ることができる。

【0060】請求項2の発明に係る半導体装置によると、DRAMの周辺回路以外の回路に設けられた一の容量の下部電極と、DRAMの周辺回路以外の回路に設けられた他の容量の上部電極とは共通の導電層よりなるため、一の容量の下部電極及び他の容量の上部電極に接続する配線の数を低減できるので、半導体装置の小型化を図ることができる。

【0061】請求項3又は4の発明に係る半導体装置によると、容量の下部電極は互いに分離して設けられた第1の下部電極と第2の下部電極とからなり、容量の上部電極は互いに分離して設けられた第1の上部電極と第2の上部電極とからなり、第1の下部電極と第2の上部電極とは電気的に接続されていると共に第2の下部電極と第1の上部電極とは電気的に接続されているため、容量の極性を互いに逆にして並列に接続されているので、容

量値の電源依存性を相殺することができる。

【0062】請求項5の発明に係る半導体装置によると、異なる電源系を持つLSIの入出力インターフェイス回路を構成するトランジスタのゲート絶縁膜、及びDRAMの周辺回路を構成するトランジスタのゲート絶縁膜は、いずれも他のゲート絶縁膜よりも厚い膜厚が要求されるが、これらを同一の工程により形成するので、他のゲート絶縁膜よりも厚い膜厚が要求されるゲート絶縁膜を形成する工程を簡略化できる。

【0063】請求項6の発明に係る半導体装置によると、容量の下部電極をDRAMの最上層よりも1つ下の導電層と同時に形成すると共に、容量の上部電極をDRAMの最上層の導電層と同時に形成するため、容量の下部及び上部の電極に対する熱処理の回数が少なくなるので、容量値のバラツキを低減できる。

【0064】請求項7の発明に係る半導体装置によると、抵抗又はインダクタを、DRAMの最上層又は最上層よりも1つ下の導電層と同時に形成するため、抵抗又はインダクタに対する熱処理の回数が少なくなるので、抵抗の抵抗値又はインダクタのインダクタンスのバラツキを低減できる。

【図面の簡単な説明】

【図1】実施例1に係る半導体装置の構造を示す断面図である。

【図2】実施例1に係る半導体装置の製造工程のうちDRAMセルのビットライン形成までの工程における基板の状態を示す断面図である。

【図3】実施例1に係る半導体装置の製造工程のうち容量素子とDRAMセルのビットラインよりも上方の部分の製造工程における基板の状態を示す断面図である。

【図4】実施例2に係る半導体装置の構造を示す断面図である。

【図5】実施例3に係る半導体装置の容量素子部分の構造を示す断面図である。

【図6】実施例4に係る半導体装置の容量素子部分の構造を示す断面図である。

【図7】上記実施例3又は4による容量素子と従来の容量素子とについて、電圧係数の電圧依存性を比較するデータである。

【図8】本発明の半導体装置によって、各種の回路を1チップ化した例を示すブロック図である。

【図9】従来の半導体装置によって、各種の回路を個別のチップに搭載した例を示すブロック図である。

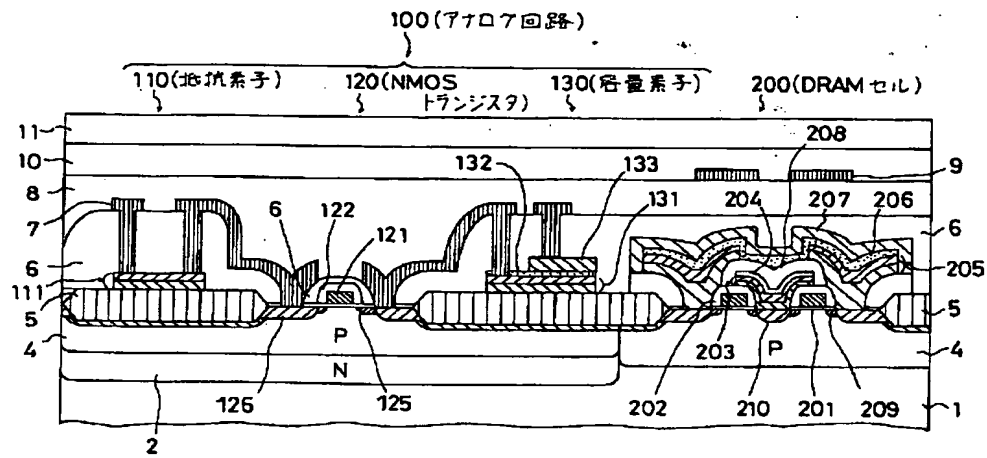
【図10】集積度の向上とアナログ、デジタル回路の占有面積の変化を示すブロック図である。

【符号の説明】

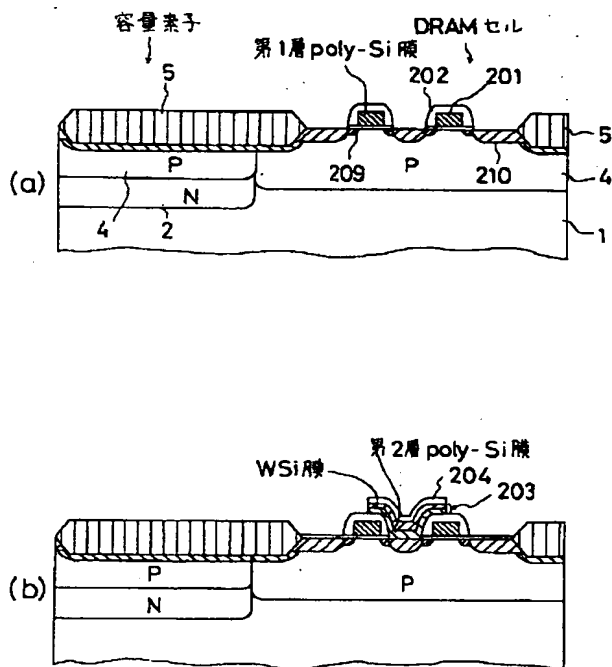
- 1 半導体基板
- 2 Nウェル

- 3 Nウェル
- 4 Pウェル
- 5 フィールド酸化膜
- 6 第1層間絶縁膜
- 7 第1層配線
- 8 第2層間絶縁膜
- 9 第2層配線
- 10 第3層間絶縁膜
- 11 保護膜
- 100 アナログ回路
- 110 抵抗素子
- 111 抵抗体
- 120 NMOSトランジスタ
- 121 ゲート電極
- 122 シリコン酸化膜
- 125 低濃度ソース、ドレイン
- 126 高濃度ソース、ドレイン
- 130 容量素子
- 131 容量下部電極
- 132 容量絶縁膜
- 133 容量上部電極
- 200 DRAMセル
- 201 ワードライン
- 202 シリコン酸化膜
- 203 ビットライン
- 204 保護膜
- 205 ストレージノード
- 206 容量絶縁膜
- 207 プレート電極
- 208 シリコン酸化膜
- 209 低濃度ソース、ドレイン
- 210 高濃度ソース、ドレイン
- 220 NMOSトランジスタ
- 221 ゲート電極
- 222 シリコン酸化膜
- 223 低濃度ソース、ドレイン
- 224 高濃度ソース、ドレイン
- 230 PMOSトランジスタ
- 231 ゲート電極
- 232 シリコン酸化膜
- 233 低濃度ソース、ドレイン
- 234 高濃度ソース、ドレイン
- 300 EEPROMセル
- 301 コントロールゲート電極
- 302 フローティングゲート電極
- 303 シリコン酸化膜
- 305 低濃度ソース
- 306 高濃度ソース、ドレイン

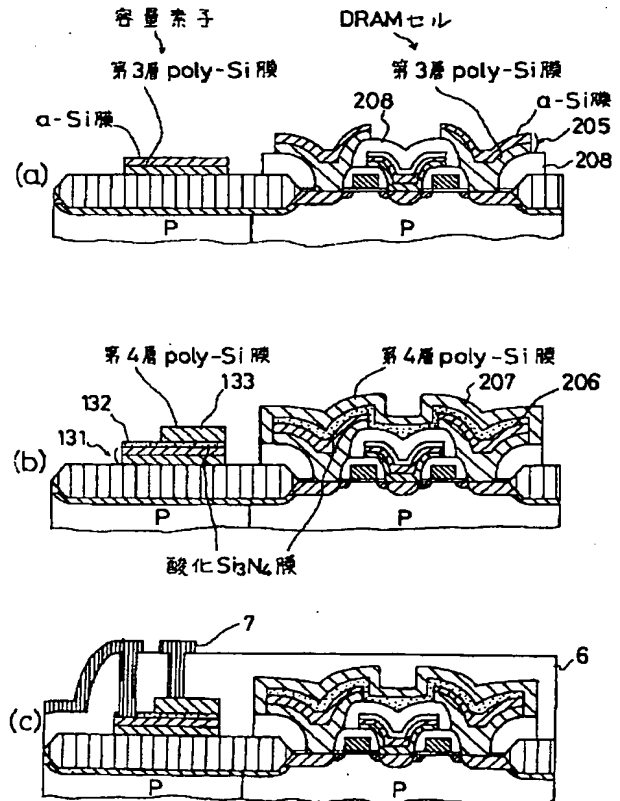
【図 1】



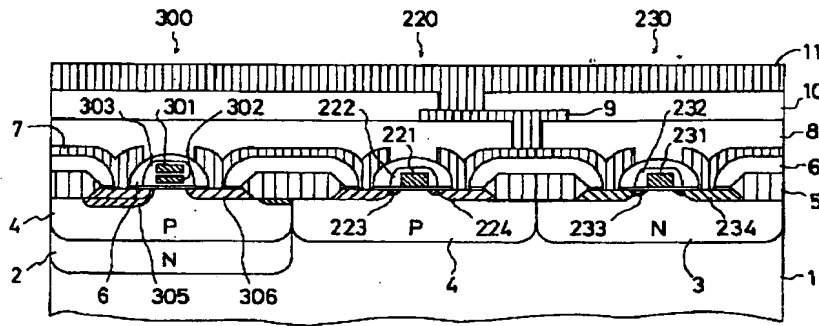
【図 2】



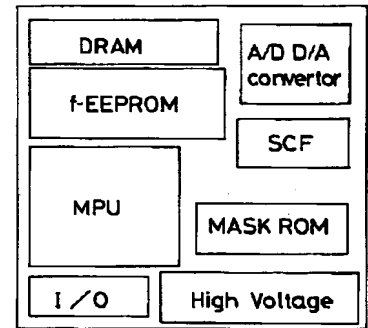
【図 3】



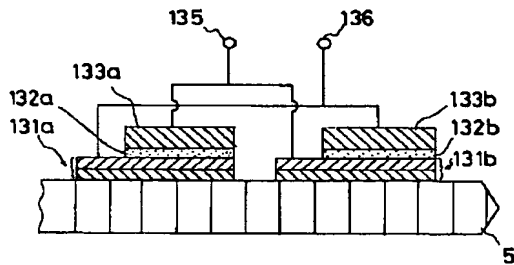
【図 4】



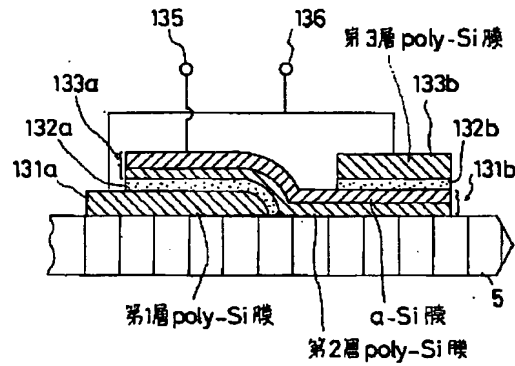
【図 8】



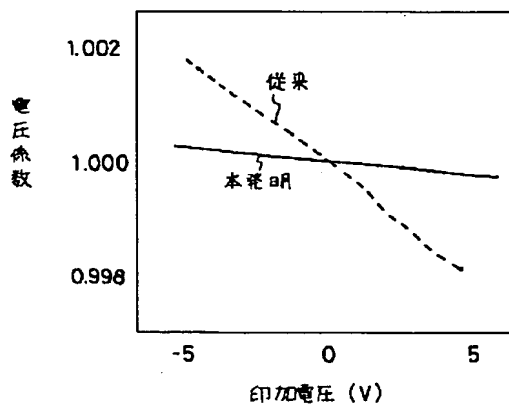
【図 5】



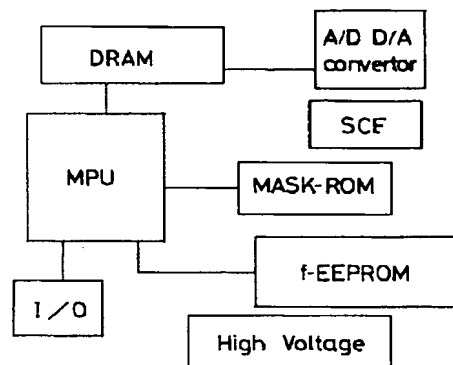
【図 6】



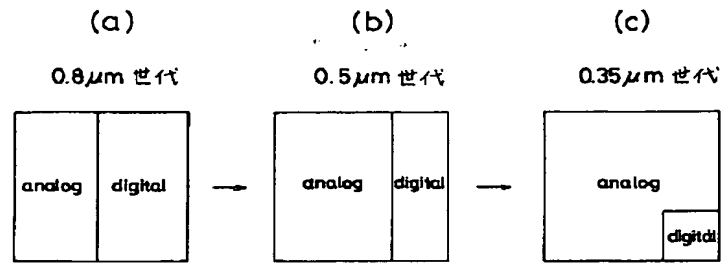
【図 7】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/822				
21/8234				
27/088				
27/10	4 6 1	7210-4M		
		9170-4M	H 0 1 L 27/08	1 0 2 H

(72)発明者 平井 健裕
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

THIS PAGE BLANK (USPTO)